**【7.1】计算机存储系统分哪几个层次？每一层次主要采用什么存储介质？其存储容量和存取速度的相对值如何变化？**

答：存储系统分为cache、主存、辅存三个层次。

其中，cache采用SRAM、主存采用DRAM、辅存大多用磁表面存储介质构成。

从cache到辅存，三个层次的容量增加、速度降低。

**【7.3】设某流水线计算机有一个指令和数据合一的cache，已知cache的读写时间为10ns，主存的读写时间为100ns，取指的命中率为98%，数据的命中率为95%，在执行程序时，约有1/5指令需要存取一个操作数，为简化起见，假设指令流水线在任何时候都不阻塞。问设置cache后，与无cache比较，计算机的运算速度可提高多少倍？**

解：执行5条指令，共有6次访存。

无cache的计算机，平均访存时间为：100×（1 +5）= 600ns

有cache的计算机中，

访指令：10ns×0.98 + 100ns×0.02 = 11.8ns

访数据：10ns×0.95 + 100ns×0.05 = 14.5ns

平均访存时间：5\*11.8ns + 14.5ns = 73.5ns

有cache后，速度可提高600/73.5-1 ≈7倍。

**【7.4】采用哈佛结构可以并行访问指令Cache和数据Cache。如果指令Cache和数据Cache的命中率仍然和上题一样。计算机的运算速度可提高多少倍？**

解：在5次取指令中，有4次的命中率为0.98，有1次取指令的同时有存取操作数，命中率应该按0.95。

平均命中率=（0.98×4+0.95）/ 5 = 0.974

平均访存时间= 0.974×10+0.026×100

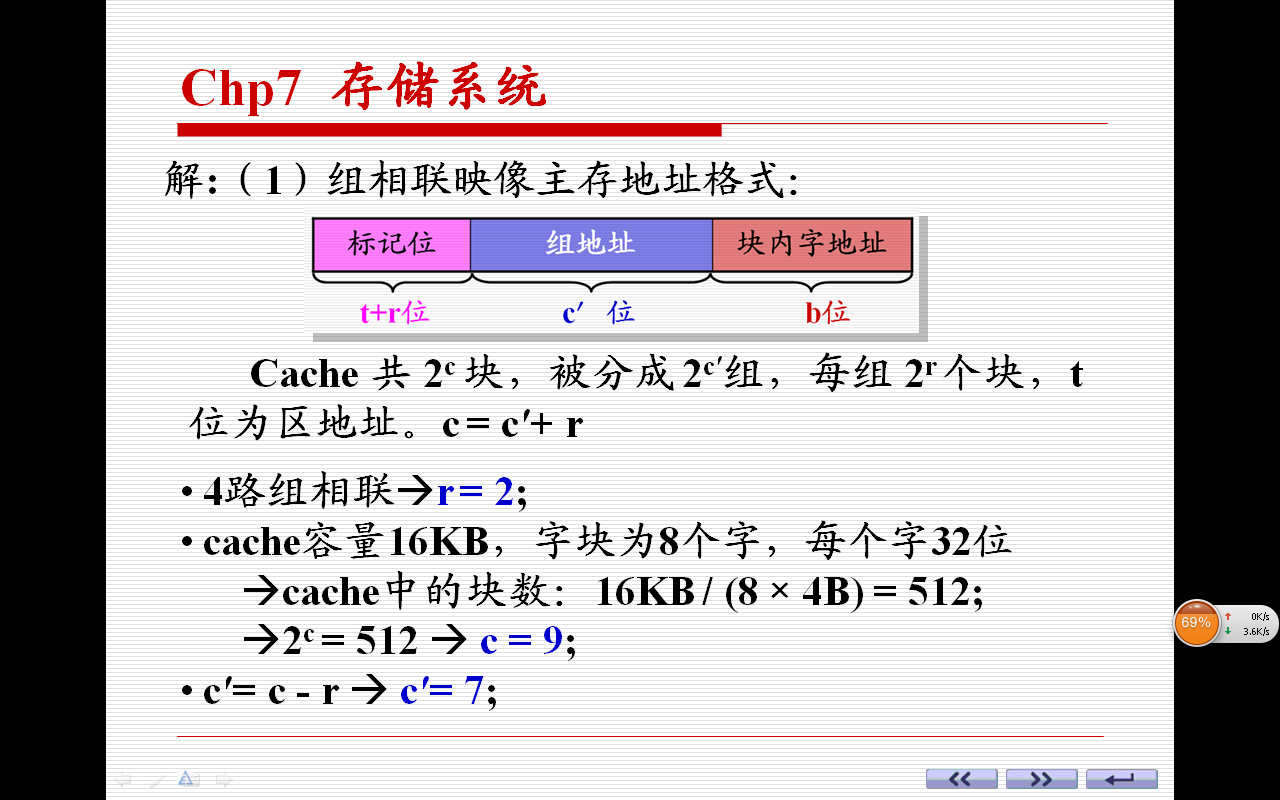
= 9.74+2.6 = 12.34ns

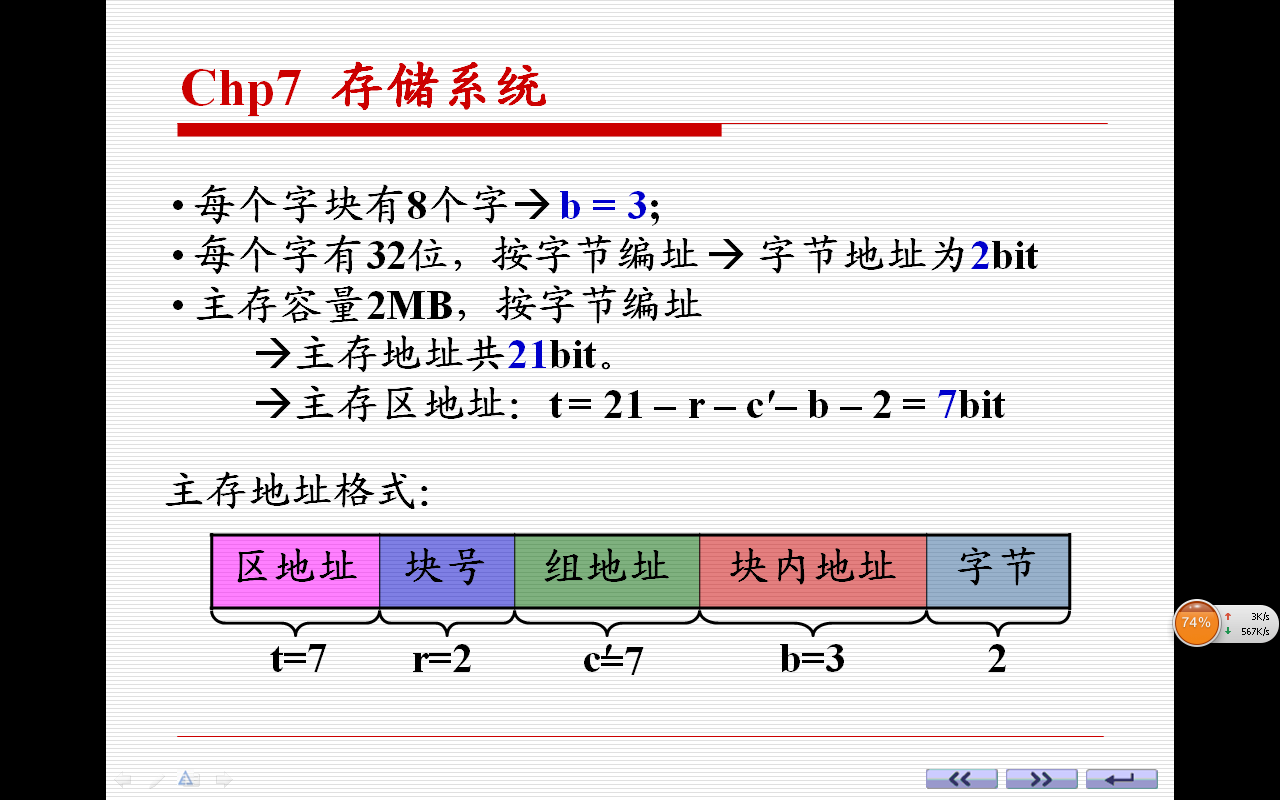
速度提高倍数= 120 / 12.34-1≈ 9倍

**【7.5】设某计算机的cache采用4路组相联映像，已知cache容量为16KB，主存容量为2MB，每个字块有8个字，每个字有32位。请回答：**

**（1）主存地址多少位（按字节编址），各字段如何划分（各需多少位）？**

**（2）设cache起始为空，CPU从主存单元0,1,…,100依次读出101个字（主存一次读出一个字），并重复按此次序读11次，问命中率为多少？若cache速度是主存的5倍，问采用cache与无cache比较速度提高多少倍？**





第一遍取数时，因cache为空，未命中的字为0、8、16、24…96共13个字

从第二遍开始取数，无需替换，全部命中；

命中率为**（101×11-13）÷（101×11）≈98.83%**

设cache读写时间为t，则主存为5t。

采用cache的平均访存时间=101×10t+（101-13）t+13×5t=1163t;

无cache的访存时间=11×101×5t=5555t;

速度提高5555/1163-1=3.78

**【7.7】一个组相联cache由64个存储块组成，每组包含4个存储块，主存由8192个存储块组成，每块由32个字组成，访存地址为字地址。问：**

**（1）主存和cache地址各多少位？地址映像是几路组相联？**

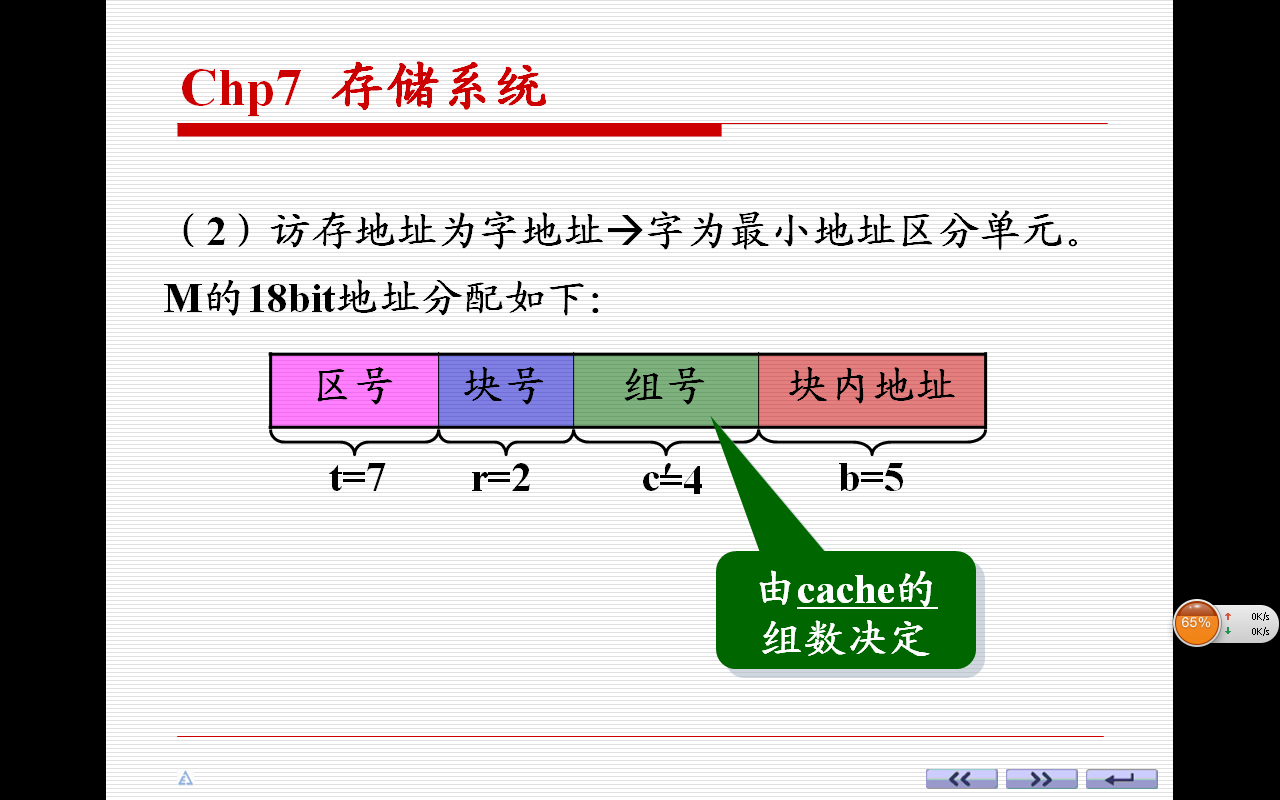
**（2）在主存地址格式中，区号、组号、块号、块内地址各多少位？**

解: 组相联映像中，cache和主存每组包含的块数相等，每块内字数相等。

（1）每组包含4个块4路组相联。

Cache：组数为64/4=16=24；每组块数为4=22；每块字数为32=25。地址位数为4 + 2 + 5 = 11bit。

M：组数为8192/4=2048=211；每组块数为4=22；每块字数为32=25。地址位数为11 + 2 + 5 = 18bit。



**【7.12】某程序对页面要求的序列为**

**P3P4P2P6P4P3P7P4P3P6P3P4P8P4P6。**

**（2）当主存容量为4个页面时，求FIFO和LRU替换算法各自的命中率（开始时主存为空）？**

**（3）程序运行时，CPU访问主存的命中率会增加还是减少？**





（3）运行程序时，访问相对集中，根据局部性原理，CPU访存的命中率会远超过上述的数据

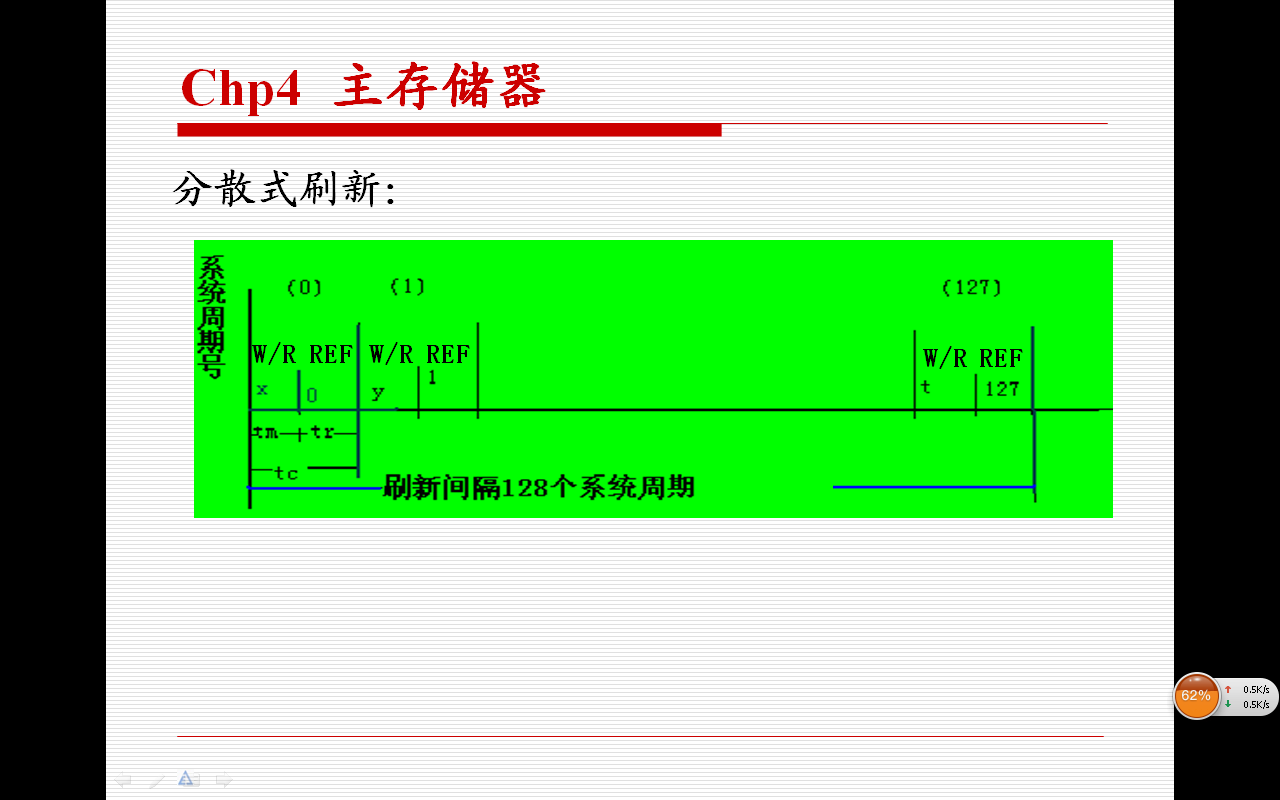
**【4.5】有一个512K×16的存储器，由64K×1的RAM芯片组成（芯片内是4个128×128结构），问：**

**(1) 总共需要多少个RAM芯片？**

**(2) 采用分散刷新方式，如单元刷新间隔不超过2ms，则刷新信号的周期是多少？**

**解：(1) 总共需要512K×16/ 64K×1 = 128片。**

**(2)**



**刷新信号周期≤2ms/128≈15.6us**

**【4.6】机器有一个地址空间为0000H~1FFFH的ROM区域，现在再用RAM芯片（8K×4）形成一个16K×8的RAM区域，起始地址为2000H，假设RAM芯片有CS′和WE′信号控制端，CPU地址总线为A15~A0，数据总线为D7~D0，控制信号为R/W′，MREQ′。要求画出逻辑图。**

**解：数据总线D7~D0 储存区域数据宽度为8；**

**ROM：0000H~1FFFH 单元数：213 = 8K 容量：8K×8；**

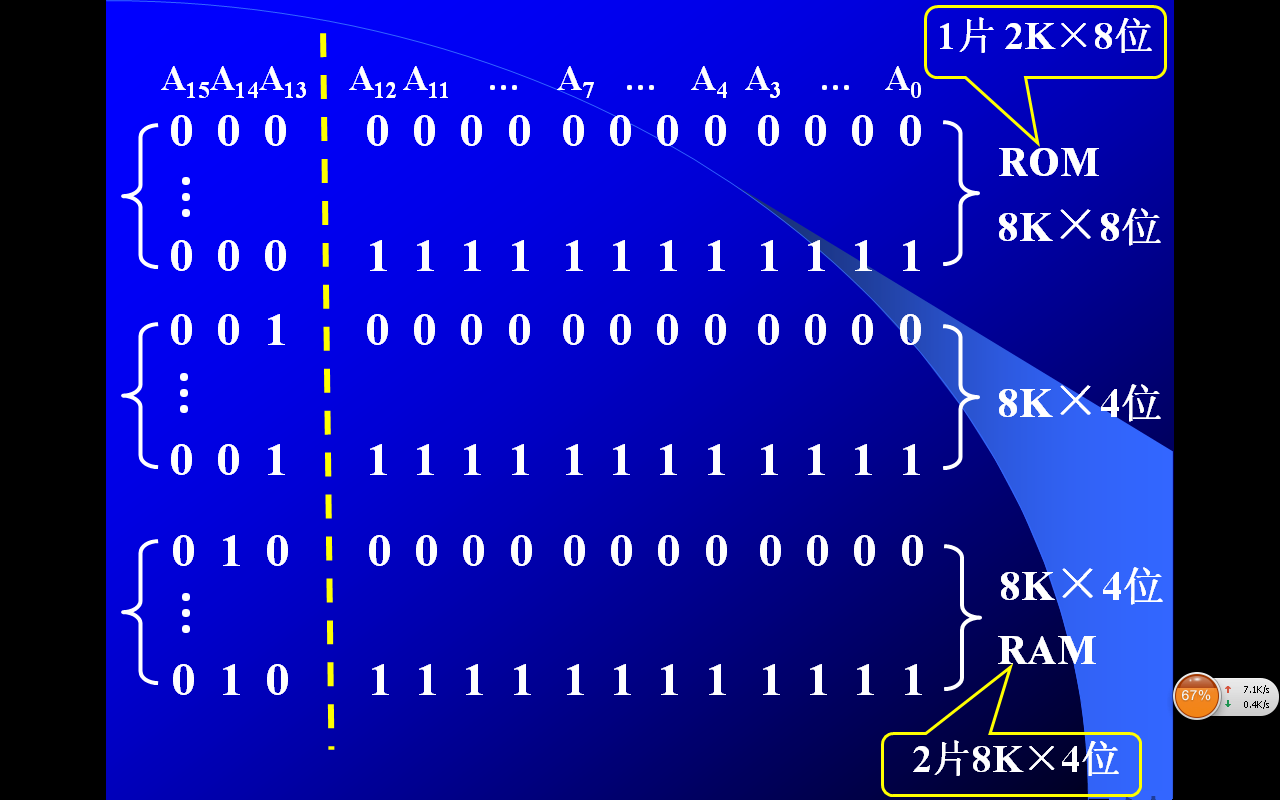
**RAM：容量：16K×8 需要4片8K×4芯片进行综合扩展；**

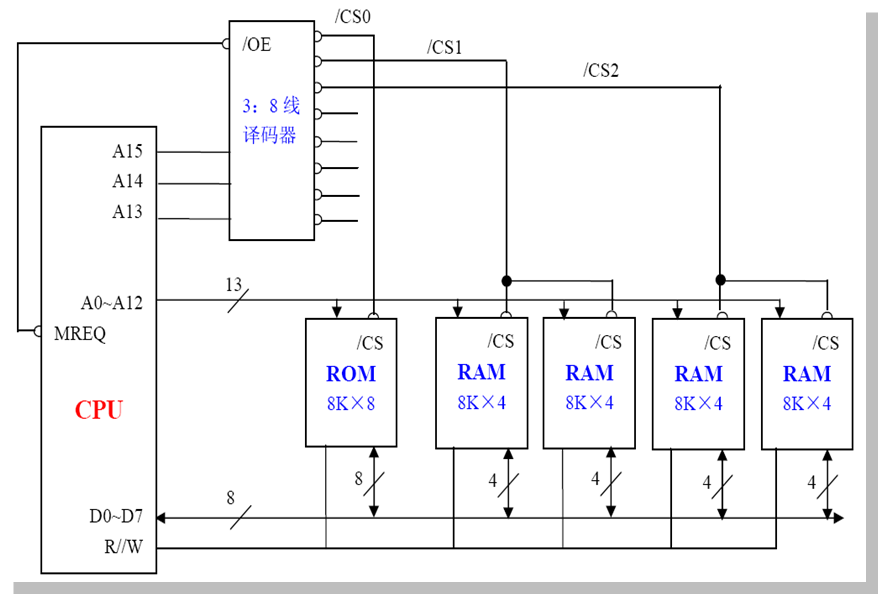
**地址范围： ROM： 0000H~1FFFH**

**RAM(1~2#) 2000H~3FFFH**

**RAM(3~4#) ：4000H~5FFFH**

**地址分配：片内A12~A0，片选A15~A13**





**【4.12】设某主存储器访问一次存储器的时间如下：传送地址1个时钟周期，读/写4个时钟周期，数据传送1个时钟周期，采用下述3种主存结构读取16个字的数据块，各需多少时钟周期？**

**（1）单字宽主存，一次只能读/写1个字。**

**（2）4字宽主存，一次可读写4个字，但CPU与主存的数据传送宽度为1个字。**

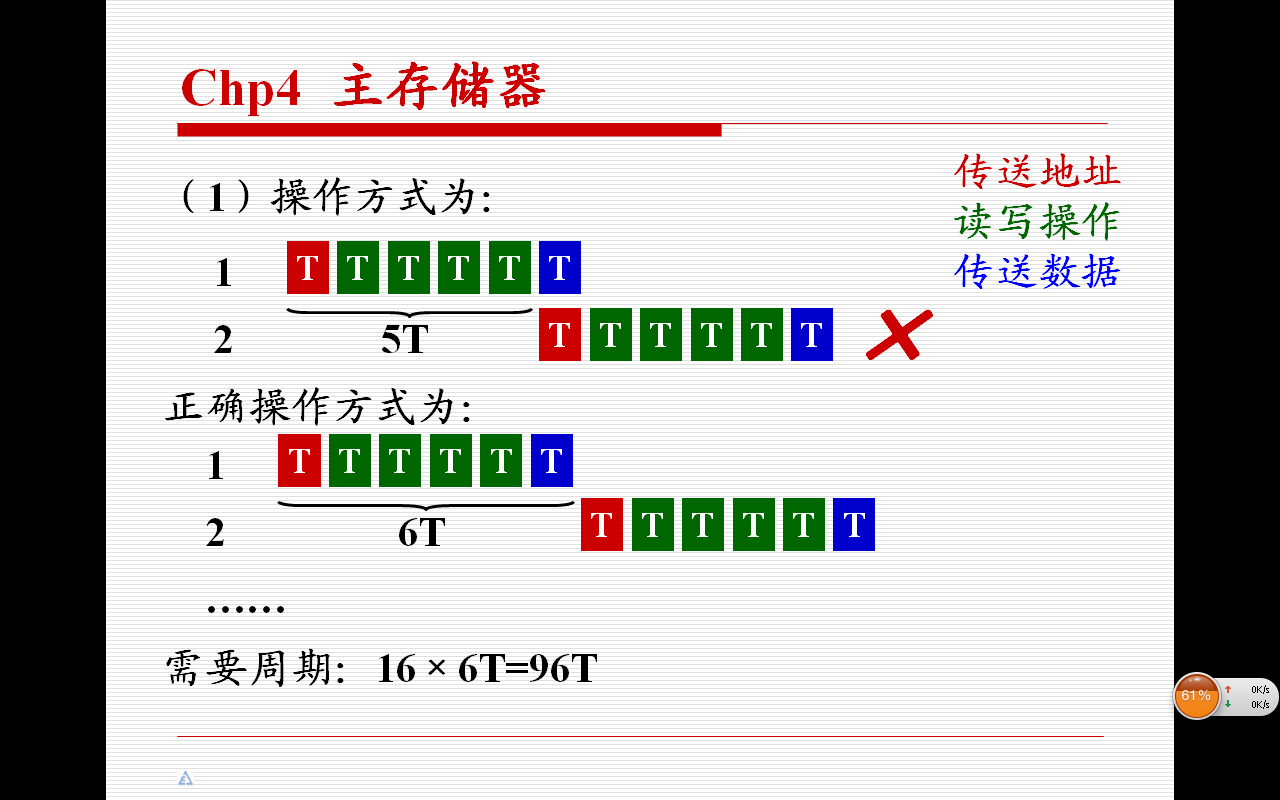
**（3）4体交叉存储器，每个存储器为单字宽。**

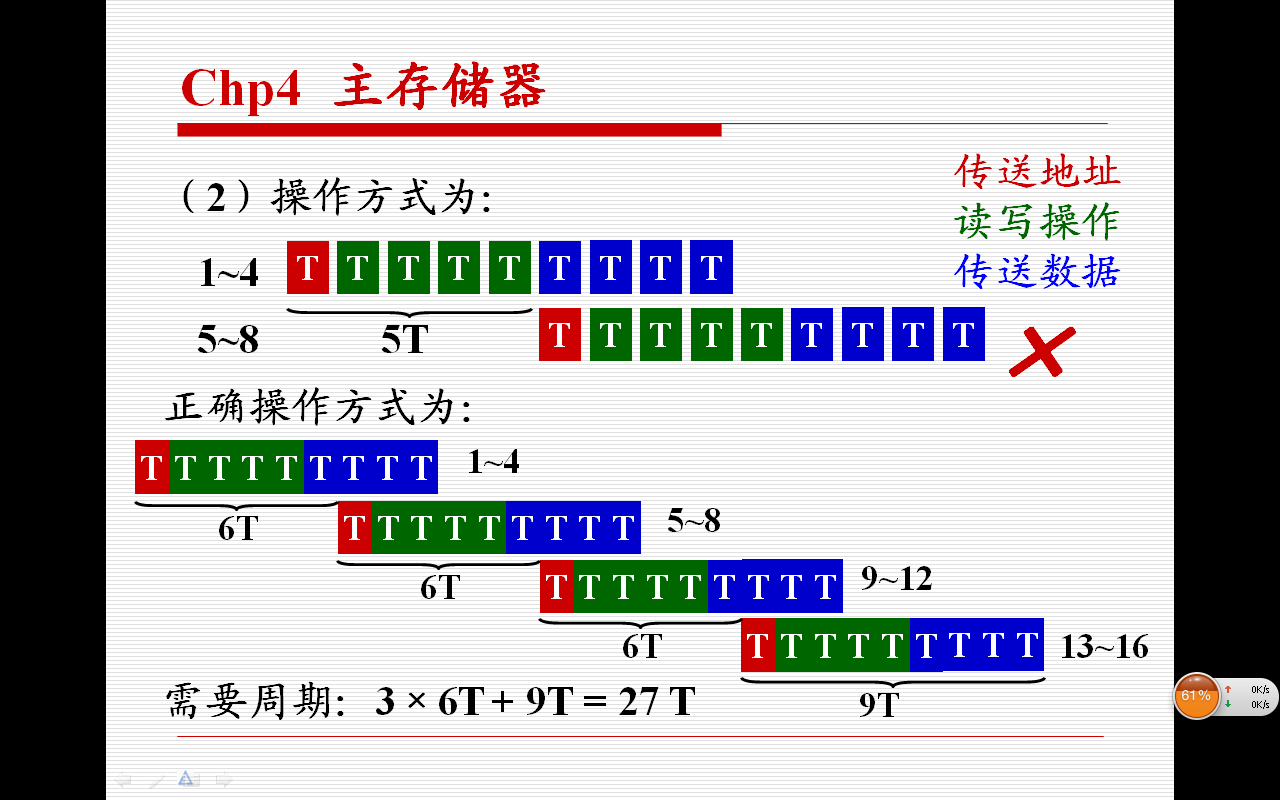
**解：**

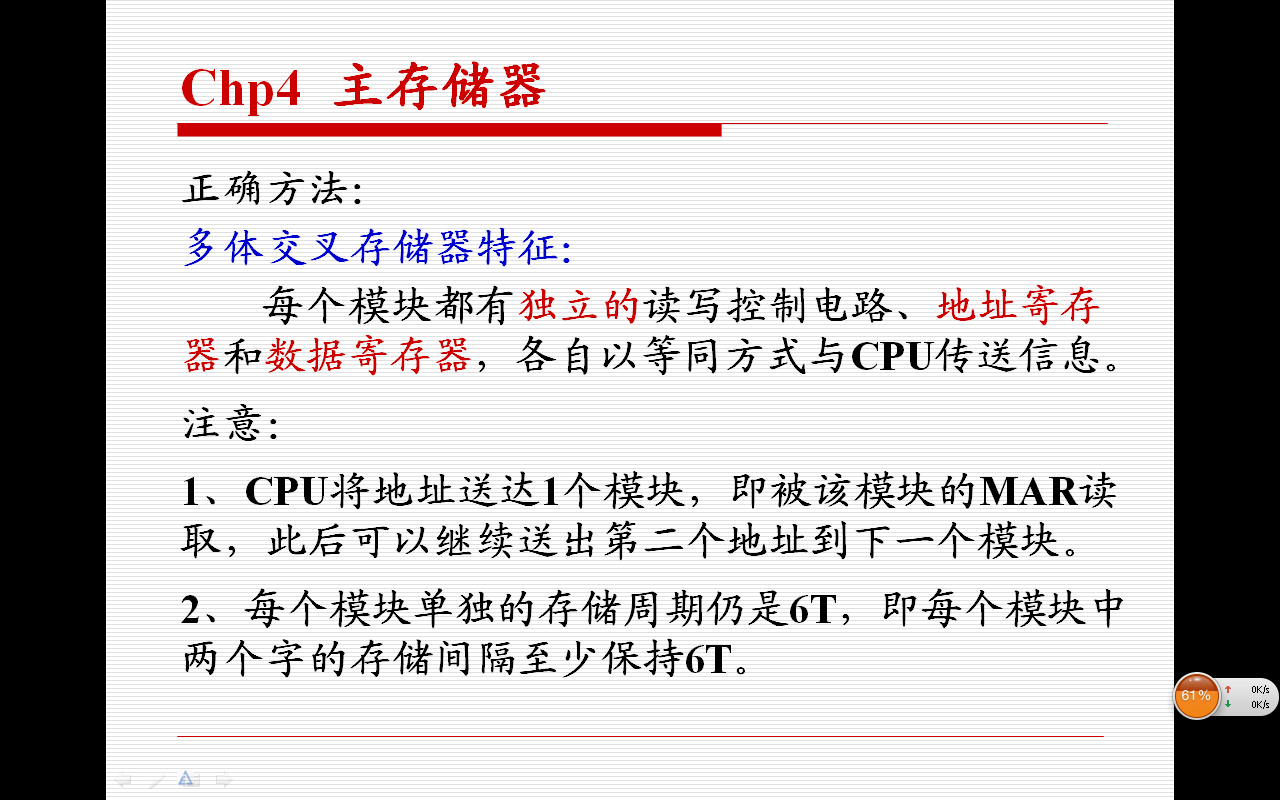
**存储周期：连续启动两次独立的存储器操作所需间隔的最小时间。**

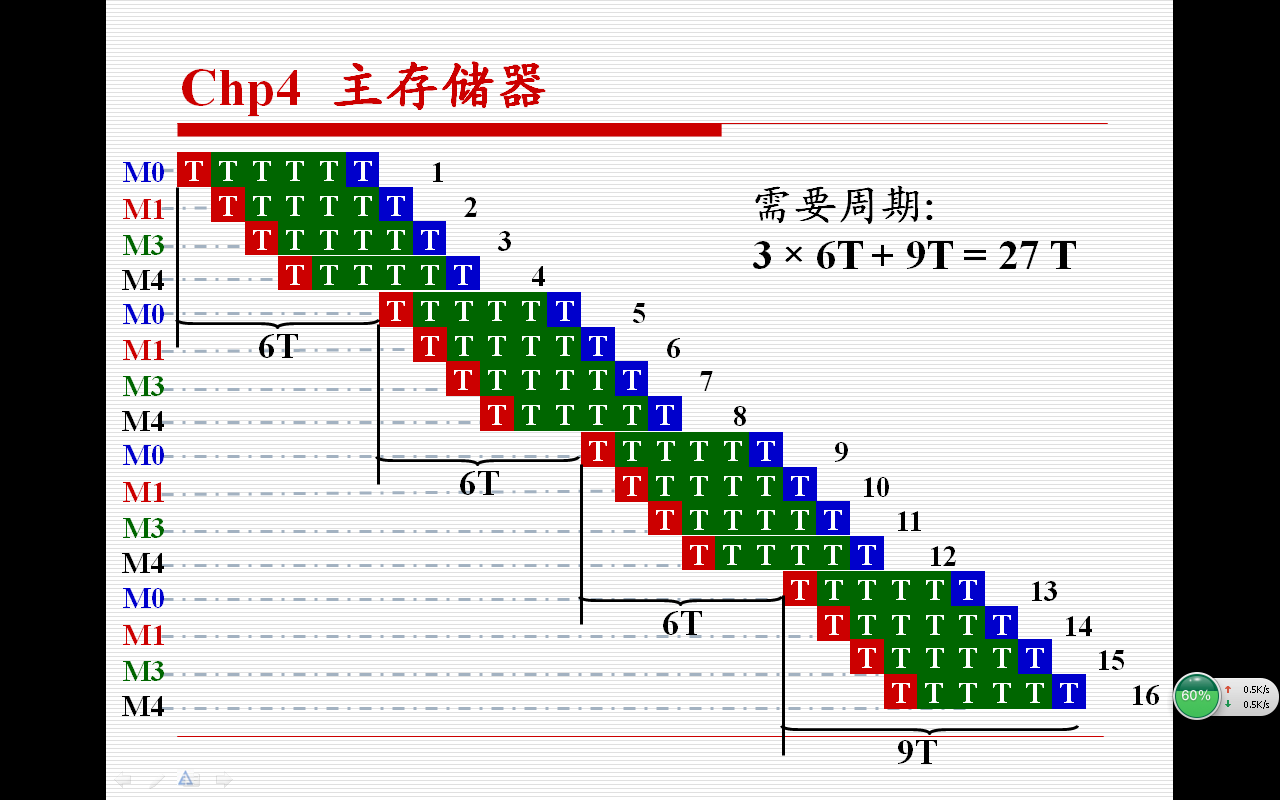
**即本题中，一个存储周期为1+4+1=6T。即连续两次读写间隔至少保持6个T。**

**（1）操作方式为：**









**1、已知某磁盘存储器转速为2400转/分，每个记录面道数为200道，平均查找时间为60ms，每道存储容量为96Kbit，求磁盘的存取时间与数据传输率。**

解：2400转 / 分 = 40转 / 秒

平均等待时间为：1 / 40 × 0.5 = 12.5（ms）

磁盘存取时间为：60 ms + 12.5ms = 72.5ms

数据传播率： Dr = r N , N = 96K bit , r = 40转 / 秒

Dr = r N = 40 × 96K = 3840K (bit/s)

**2、设磁盘组有11个盘片，每片有两个记录面；存储区域内直径2.36 in，外直径5.00 in；道密度为1250 tpi，内层位密度为52400 bpi，转速为2400 rpm。问：**

**（1）每个磁道可存储多少字节,磁盘总存储容量是多少？**

**（2）数据传输率是多少？**

**（3）如果每个扇区存储2KB 数据，在寻址命令中如何表示磁盘地址？**

每道存储字节=内层位密度÷8×内层磁道长度

=52400÷8×2.36×π

≈52400÷8×2.36×3.14=48538.12B≈47.4KB

磁盘总存储容量=每道存储字节×道数×存储面数

=47.4×[（5-2.36）÷2×1250]×20

=1564200KB≈1.5GB

数据传输率=每道存储字节×转速

=47.4×2400÷60=1896KBps≈1.9MBps

磁盘地址:

找存储面：20个存储面需要5位

找磁道：（5-2.36）÷2×1250=1650个磁道需要11位

找扇区：每个磁道上的扇区数47.4÷2≈24 需要5位

磁盘地址:

|  |  |  |
| --- | --- | --- |
| 存储面 | 磁道 | 扇区 |
| 5位 | 11位 | 5位 |

**8.5设磁盘组有11个盘片，每片有两个记录面；存储区域内直径2.36英寸， 外直径5.00英寸；道密度为1250TPI，内层位密度为52400bpi，转速为2400rpm。问：**

**（1）共有几个可用存储面？**

**（2）共有几个柱面？**

**（3）每个磁道可存储多少字节？**

**（4）整个磁盘组总容量是多少？**

**（5）数据传输率是多少？**

**（6）如果每个扇区可存储2KB数据，在寻址命令中如何表示磁盘地址？**

**（7）如果某文件长度超出了一个磁道的容量，应将它记录在同一个存储面上，还是记录在同一个柱面上？**

（1）22 个

（2）（5-2.36）/2 \* 1250 = 1650 个柱面

（3）2.36 \* 3.14 \* 52400/8 = 48538B = 47.4 KB

（4）22 \* 1650 \* 48538 = 1761929400B = 1720634 KB = 1680 MB = 1.64GB

（5）48538\* 2400/60 = 1941520 B/s = 1896KB/s = 1.85MB/s

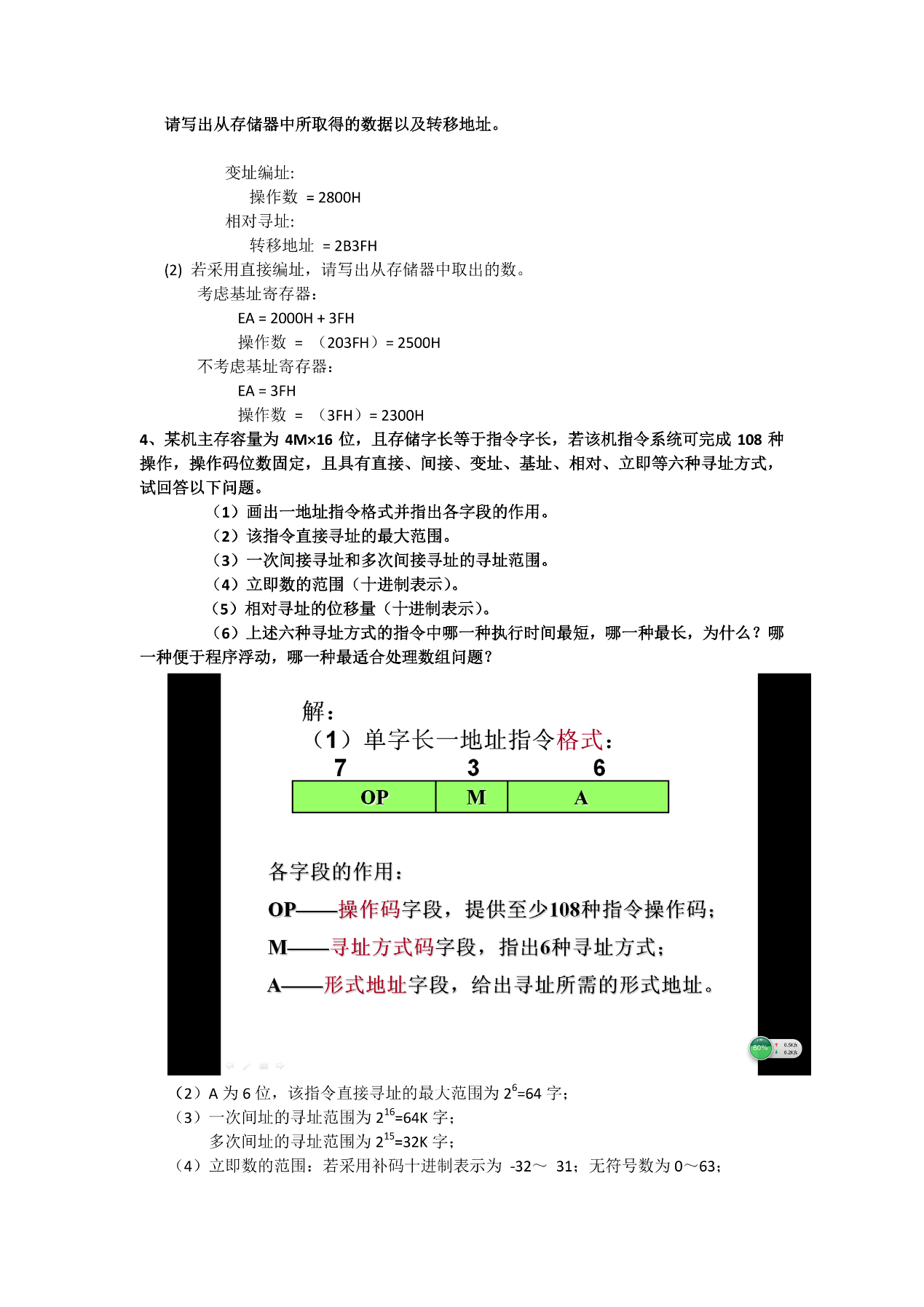
（6）磁盘地址格式为： 磁头号 柱面号 扇区号

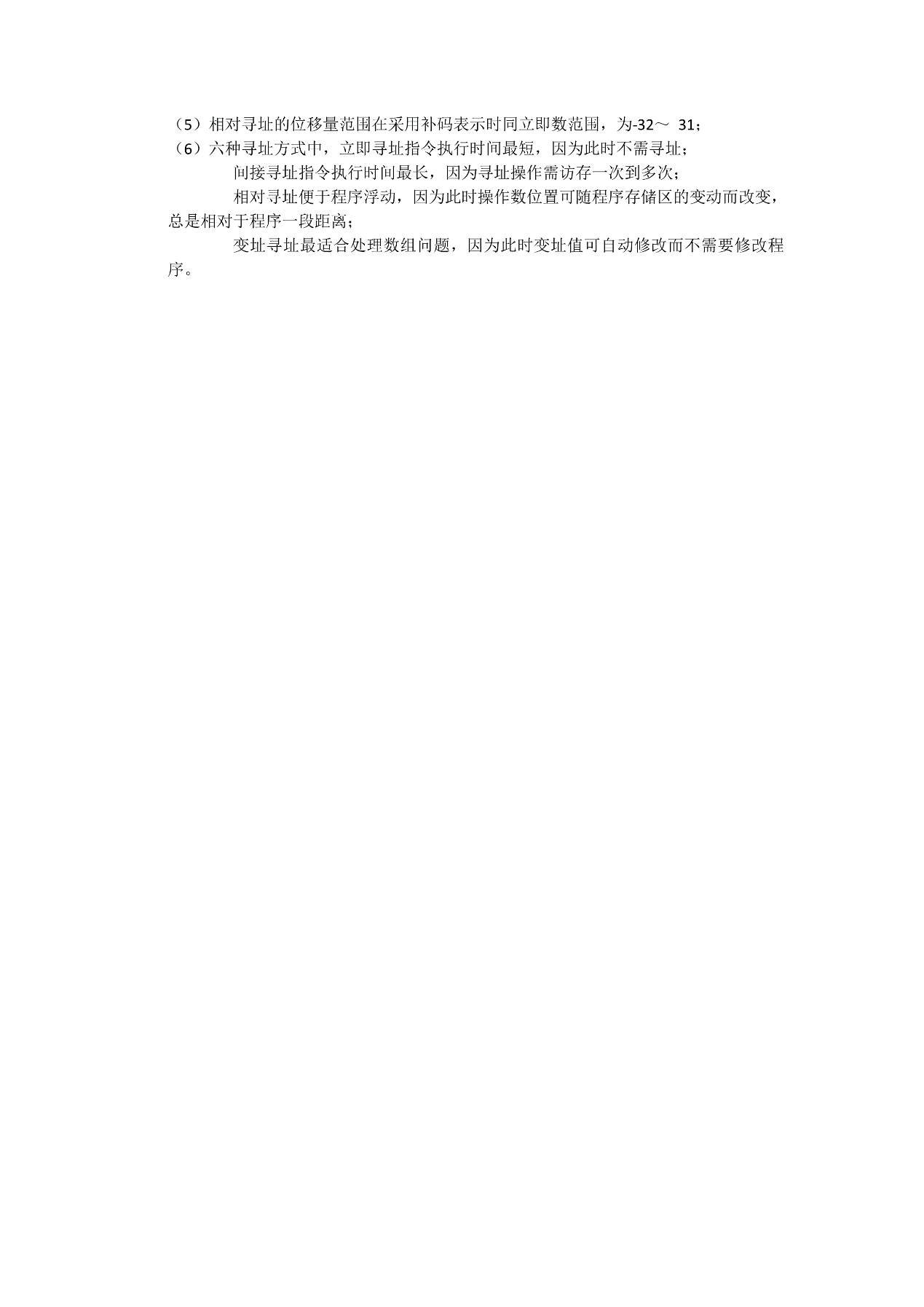
磁头号 25 〉22 5位

柱面号 211 〉1650 11位

扇区号 25 〉24 5位 （扇区数 47.4/2 = 24 ）

（7）应将它记录在同一个柱面上





1、某机有8条微指令I1-I8，每条微指令所包含的微指令控制信号如表所示， a-j分别对应10种不同性质的微命令信号，假设一条微指令的控制字段为8位，请安排微指令的控制字段格式。

|  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 微指令 | 微命令信号 | | | | | | | | | |
| a | b | c | d | e | f | g | h | i | j |
| I1 | √ | √ | √ | √ | √ |  |  |  |  |  |
| I2 | √ |  |  | √ |  | √ | √ |  |  |  |
| I3 |  | √ |  |  |  |  |  | √ |  |  |
| I4 |  |  | √ |  |  |  |  |  |  |  |
| I5 |  |  | √ |  | √ |  | √ |  | √ |  |
| I6 | √ |  |  |  |  |  |  | √ |  | √ |
| I7 |  |  | √ | √ |  |  |  | √ |  |  |
| I8 | √ | √ |  |  |  |  |  | √ |  |  |

通过分析指令表，可以列出以下互斥的命令信号

与a互斥的信号：i

与b互斥的信号：f,g.i.j

与c互斥的信号：f,j

与d互斥的信号：i,j

与e互斥的信号：f,h,j

与f互斥的信号：b,c,e,h,I,j

与g互斥的信号： b,h,j

与h互斥的信号：e,f,g,i

与i互斥的信号：a,b,d,f,h,j

与j互斥的信号：b,c,d,e,f,g,i

因为a,b,c,d,e命令是同时出现的，分析以上结果，知能分别与a,b,c,d,e分在一组的信号有：

a,i

b,f,i,j或b,g,j或b,i,j(f,g和g,i不能在一组)

c,f,j

d,i,j

e,f,h或e,f,j(h,j不能在一组)

微指令控制字格式如下：

部分采取直接控制，部分采用直接译码

方案一：

|  |  |  |
| --- | --- | --- |
| ×××× | ×× | ×× |
| 4位 | 2位 | 2位 |
| 由a,c,d,g直接控制 | 00 不发命令 | 00 不发命令 |
| 01 b | 01 e |
| 10 i | 10 f |
| 11 j | 11 h |

方案二：

|  |  |  |
| --- | --- | --- |
| ×××× | ×× | ×× |
| 4位 | 2位 | 2位 |
| 由a,b,c,g直接控制 | 00 不发命令 | 00 不发命令 |
| 01 d | 01 e |
| 10 i | 10 f |
| 11 j | 11 h |

方案三：

|  |  |  |
| --- | --- | --- |
| ×××× | ×× | ×× |
| 4位 | 2位 | 2位 |
| 由a,c,d,i直接控制 | 00 不发命令 | 00 不发命令 |
| 01 b | 01 e |
| 10 g | 10 f |
| 11 j | 11 h |

2、设CPU内部采用非总线结构，写出STA @X在指令周期的全部微操作。

取指周期：

PC→MAR

1→R

M(MAR)→MDR

MDR→IR

OP(IR)→CU (可以不写)

(PC)+1→PC （可以放在PC→MAR后的任意位置）

间址周期 ：

Ad(IR)→MAR （或写为Ad(MDR)→MAR）

1→R

M(MAR)→MDR

执行周期：

MDR→MAR

1→W

ACC→MDR

MDR→M(MAR)

3、假设指令流水线分取指(FI)、指令译码(DI)、计算操作数地址(CO)、取操作数(FO)、执行指令(EI)、写操作数(WO)6个过程段，共有9条指令连续输入此流水线。画出流水线时空图并求该流水处理器的加速比。

对于6级流水而言处理9条指令所需的时钟周期数为6+（9-1）=14

非流水线处理9条指令需6×9=54个时钟周期

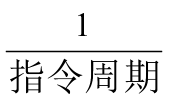
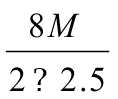
故流水线的加速比为54÷14≈3.86

4、 设某机主频为8MHz，每个机器周期平均含2个时钟周期，每条指令平均有2.5个机器周期，试问该机的平均指令执行速度为多少MIPS？

时钟周期=

机器周期=×2

指令周期=×2×2.5

平均指令执行速度===1.6MIPS

5、某机的微指令格式中，共有4个控制字段，每个字段可分别激活3、3、5、8种控制信号。  
（1）如果采用直接编码（控制）方式和字段直接编码方式，微指令的操作控制字段各取几位？

（2）若采用水平型字段直接编码方式微指令格式，后继微指令地址由下地址给出，互斥的可判定外部条件有5个，微指令长26位，那么控制存储器的容量是多少？

直接编码 一位代表一个微操作命令 那就是 3+3+5+8=19  
字段直接编码 互斥的放一个段，还要留出一种情况不发 各段需要位数 2+2+3+4=11  
同理水平型字段直接编码  
2+2+3+4+3=14  
26-14=12  
故存储器的地址位数为12位   
指令长为26位 ，所以控制存储器的容量是4K×26

